

Docket No.: SON-2950
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Toshiyuki Koimori et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: March 11, 2004

For: POWER AMPLIFIER

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

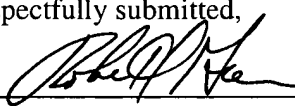
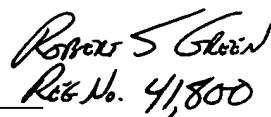
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-088542	March 27, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 11, 2004

Respectfully submitted,

By  
Ronald P. Kananen

Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 7 日
Date of Application:

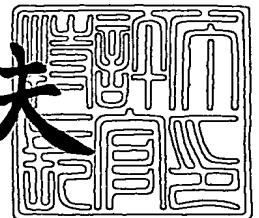
出 願 番 号 特 願 2 0 0 3 - 0 8 8 5 4 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 8 5 4 2]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 1 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 0390170803

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/04
H01L 25/18

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 鯉森 俊行

【発明者】

【住所又は居所】 東京都港区赤坂 8 丁目 5 番地 2 6 号 赤坂 D S ビル 株
式会社メイテック内

【氏名】 山内 朝一

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389



【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 電力増幅器

【特許請求の範囲】

【請求項 1】 電界効果トランジスタと、

バイアス電圧が供給されるバイアス電圧供給端子と、

基準電位と、

第 1 の抵抗素子と、

上記第 1 の抵抗素子より温度係数が小さい第 2 の抵抗素子と、

を有し、

上記第 1 の抵抗素子の第 1 端子と上記第 2 の抵抗素子の第 1 端子が接続され、
当該接続点が上記電界効果トランジスタのゲート端子に接続され、

上記第 1 の抵抗素子の第 2 端子が上記バイアス電圧供給端子に接続され、

上記第 2 の抵抗素子の第 2 端子が上記基準電位に接続され、

上記電界効果トランジスタと上記第 1 の抵抗素子は同一半導体基板に形成され
た半導体素子である

電力増幅器。

【請求項 2】 上記第 2 の抵抗素子は、抵抗値を可変とすることが可能な抵抗素子である

請求項 1 記載の電力増幅器。

【請求項 3】 電界効果トランジスタと、

バイアス電圧が供給されるバイアス電圧供給端子と、

基準電位と、

第 1 の抵抗素子と、

第 2 の抵抗素子と、

上記第 1 の抵抗素子および上記第 2 の抵抗素子より温度係数が小さい第 3 の抵抗素子と、

を有し、

上記第 1 の抵抗素子の第 1 端子と上記第 2 の抵抗素子の第 1 端子が接続され、
当該接続点が上記電界効果トランジスタのゲート端子に接続され、

上記第2の抵抗素子の第2端子が上記第3の抵抗素子の第1端子に接続され、
上記第1の抵抗素子の第2端子が上記バイアス電圧供給端子に接続され、
上記第3の抵抗素子の第2端子が上記基準電位に接続され、
上記電界効果トランジスタと、上記第1の抵抗素子と、上記第2の抵抗素子は
同一半導体基板に形成された半導体素子である
電力増幅器。

【請求項4】 上記第3の抵抗素子は、抵抗値を可変とすることが可能な抵抗素子である

請求項3記載の電力増幅器。

【請求項5】 電界効果トランジスタと、
バイアス電圧が供給されるバイアス電圧供給端子と、
基準電位と、
第1の抵抗素子と、
上記第1の抵抗素子より温度係数が小さい第2の抵抗素子と、
上記第1の抵抗素子より温度係数が小さい第3の抵抗素子と、
を有し、
上記第1の抵抗素子の第1端子と上記第2の抵抗素子の第1端子が接続され、
上記第2の抵抗素子の第2端子が上記第3の抵抗素子の第1端子に接続され、
当該接続点が上記電界効果トランジスタのゲート端子に接続され、
上記第1の抵抗素子の第2端子が上記バイアス電圧供給端子に接続され、
上記第3の抵抗素子の第2端子が上記基準電位に接続され、
上記電界効果トランジスタと上記第1の抵抗素子は同一半導体基板に形成された半導体素子である
電力増幅器。

【請求項6】 上記第3の抵抗素子は、抵抗値を可変とすることが可能な抵抗素子である

請求項5記載の電力増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、たとえば無線システムの送信機に適用される電力増幅器に係り、特に、バイアス電流を設定するバイアス回路の改良に関するものである。

【0002】**【従来の技術】**

電力増幅器のバイアス電流は、その特性を決める重要な要素である。

とりわけ、デジタル携帯電話などに用いられる送信用電力増幅器は、高い線形性が要求されるため、バイアス電流の設定は極めて重要になってくる。

【0003】

図8は、従来の電力増幅器のバイアス回路を示す回路図である（たとえば、特許文献1参照）。

このバイアス回路は、図8に示すように、バイアス電圧 V_{gg} の供給端子1と接地GNDとの間に抵抗素子 R_1 と抵抗素子 R_2 が直列に接続され、抵抗素子 R_1 と抵抗素子 R_2 の接続点ND1が電界効果トランジスタ（FET）1のゲート端子Gに接続されている。

FET1のドレイン端子Dは電源電圧 V_{dd} の供給ラインに接続され、ソース端子Sが接地されている。

そして、バイアス電圧供給端子2からゲートバイアス電圧 V_{gg} を供給することにより、バイアス電流の設定が行われる。

【0004】**【特許文献1】**

特開平6-120414号公報

【0005】**【発明が解決しようとする課題】**

ところが、上述した電力増幅器は、室温においては問題ないが、周囲温度が変化すると、電力増幅器のバイアス電流は特に低温、高温において室温での設定値から大きく変動し、電力増幅器の線形性が著しく劣化するという不利益があった。

【0006】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、周囲温度変動に対する線形性の劣化を最小にすることができる電力増幅器を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点に係る電力増幅器は、電界効果トランジスタと、バイアス電圧が供給されるバイアス電圧供給端子と、基準電位と、第1の抵抗素子と、上記第1の抵抗素子より温度係数が小さい第2の抵抗素子と、を有し、上記第1の抵抗素子の第1端子と上記第2の抵抗素子の第1端子が接続され、当該接続点が上記電界効果トランジスタのゲート端子に接続され、上記第1の抵抗素子の第2端子が上記バイアス電圧供給端子に接続され、上記第2の抵抗素子の第2端子が上記基準電位に接続され、上記電界効果トランジスタと上記第1の抵抗素子は同一半導体基板に形成された半導体素子である。

【0008】

好適には、上記第2の抵抗素子は、抵抗値を可変とすることが可能な抵抗素子である。

【0009】

本発明の第2の観点に係る電力増幅器は、電界効果トランジスタと、バイアス電圧が供給されるバイアス電圧供給端子と、基準電位と、第1の抵抗素子と、第2の抵抗素子と、上記第1の抵抗素子および上記第2の抵抗素子より温度係数が小さい第3の抵抗素子と、を有し、上記第1の抵抗素子の第1端子と上記第2の抵抗素子の第1端子が接続され、当該接続点が上記電界効果トランジスタのゲート端子に接続され、上記第2の抵抗素子の第2端子が上記第3の抵抗素子の第1端子に接続され、上記第1の抵抗素子の第2端子が上記バイアス電圧供給端子に接続され、上記第3の抵抗素子の第2端子が上記基準電位に接続され、上記電界効果トランジスタと、上記第1の抵抗素子と、上記第2の抵抗素子は同一半導体基板に形成された半導体素子である。

【0010】

好適には、上記第3の抵抗素子は、抵抗値を可変とすることが可能な抵抗素子



である。

【0011】

本発明の第3の観点に係る電力増幅器は、電界効果トランジスタと、バイアス電圧が供給されるバイアス電圧供給端子と、基準電位と、第1の抵抗素子と、上記第1の抵抗素子より温度係数が小さい第2の抵抗素子と、上記第1の抵抗素子より温度係数が小さい第3の抵抗素子と、を有し、上記第1の抵抗素子の第1端子と上記第2の抵抗素子の第1端子が接続され、上記第2の抵抗素子の第2端子が上記第3の抵抗素子の第1端子に接続され、当該接続点が上記電界効果トランジスタのゲート端子に接続され、上記第1の抵抗素子の第2端子が上記バイアス電圧供給端子に接続され、上記第3の抵抗素子の第2端子が上記基準電位に接続され、上記電界効果トランジスタと上記第1の抵抗素子は同一半導体基板に形成された半導体素子である。

【0012】

好適には、上記第3の抵抗素子は、抵抗値を可変とすることが可能な抵抗素子である。

【0013】

本発明の第1の観点によれば、バイアス電圧供給側の第1の抵抗素子は、接地側の第2の抵抗素子に比べ、抵抗温度係数が大きいことから、周囲の温度変動に応じてFETのゲート端子に供給される電圧は変動する。

これにより、電力増幅器に各温度に応じて最適なバイアス電圧が供給される。その結果、基本特性、特に、線形性の劣化が防止される。

また、FETと第1の抵抗素子は同一半導体基板に形成されていることから、従来のように、いわゆるチップ抵抗で構成されているバイアス回路に比べて、部品点数を削減することができ、小型化が実現される。

なお、第2の抵抗素子を、第1の抵抗素子より温度係数が小さく、かつ、抵抗値を可変とすることが可能な抵抗素子により構成することにより、バイアス電流が任意の設定値に調整される。

【0014】

本発明の第2の観点によれば、バイアス電圧供給側の第1の抵抗素子は、接地

側の第2の抵抗素子および第3の抵抗素子に比べ、抵抗温度係数が大きいことから、周囲の温度変動に応じてFETのゲート端子に供給される電圧は変動する。

これにより、電力増幅器に各温度に応じて最適なバイアス電圧が供給される。その結果、基本特性、特に、線形性の劣化が防止される。

また、FETと第1の抵抗素子と第2の抵抗素子とは同一半導体基板に形成されていることから、従来のように、いわゆるチップ抵抗で構成されているバイアス回路に比べて、部品点数を削減することができ、小型化が実現される。

なお、第3の抵抗素子を、第1の抵抗素子および第2の抵抗素子より温度係数が小さく、かつ、抵抗値を可変とすることが可能な抵抗素子により構成することにより、バイアス電流が任意の設定値に調整される。

【0015】

本発明の第3の観点によれば、バイアス電圧供給側の第1の抵抗素子および第2の抵抗素子は、接地側の第3の抵抗素子に比べ、抵抗温度係数が大きいことから、周囲の温度変動に応じてFETのゲート端子に供給される電圧は変動する。

これにより、電力増幅器に各温度に応じて最適なバイアス電圧が供給される。その結果、基本特性、特に、線形性の劣化が防止される。

また、FETと第1の抵抗素子とは同一半導体基板に形成されていることから、従来のように、いわゆるチップ抵抗で構成されているバイアス回路に比べて、部品点数を削減することができ、小型化が実現される。

なお、第2の抵抗素子および第3の抵抗素子を、第1の抵抗素子より温度係数が小さく、かつ、抵抗値を可変とすることが可能な抵抗素子により構成することにより、バイアス電流が任意の設定値に調整される。

【0016】

【発明の実施の形態】

以下、本発明の好適な実施形態を添付図面に関連付けて説明する。

【0017】

第1実施形態

図1は、本発明に係る電力増幅器の第1の実施形態を示す回路図である。

【0018】

本電力増幅器 10 は、図 1 に示すように、FET (電界効果トランジスタ) 11 と、正のバイアス電圧 V_{gg} が供給されるバイアス電圧供給端子 12 と、電源電圧 V_{dd} が供給される電源電圧供給端子 13 と、接地電位 (基準電位) GND と、第 1 の抵抗素子 R11 と、第 1 の抵抗素子 R11 より温度係数が小さい第 2 の抵抗素子 R12 とを有している。

【0019】

第 1 の抵抗素子 R11 の第 1 端子と第 2 の抵抗素子 R12 の第 1 端子が接続され、その接続点 ND11 が FET 11 のゲート端子 G に接続されている。

第 1 の抵抗素子 R11 の第 2 端子がバイアス電圧供給端子 12 に接続され、第 2 の抵抗素子 R12 の第 2 端子が接地電位 GND に接続されている。

FET 11 のドレイン端子 D は電源電圧供給端子 13 に接続され、ソース端子 S が接地電位 GND に接続されている。

そして、FET 11 と第 1 の抵抗素子 R11 とは同一半導体基板 14 に形成された半導体素子により構成されている。

【0020】

この電力増幅器 10 においては、バイアス電圧供給側の第 1 の抵抗素子 R11 は、接地側の第 2 の抵抗素子 R12 に比べ、抵抗温度係数が大きいことから、周囲の温度変動に応じて FET 11 のゲート端子 G に供給される電圧は変動する。

これにより、電力増幅器 10 に各温度に応じて最適なバイアス電圧が供給される。その結果、基本特性、特に、線形性の劣化を防止することができる。

また、FET 11 と第 1 の抵抗素子 R11 は同一半導体基板に形成されていることから、従来のように、いわゆるチップ抵抗で構成されているバイアス回路に比べて、部品点数を削減することができることから、小型化を実現することができる利点がある。

【0021】

なお、第 2 の抵抗素子 R12 を、第 1 の抵抗素子 R11 より温度係数が小さく、かつ、抵抗値を可変とすることが可能な抵抗素子により構成することにより、バイアス電流を任意の設定値に調整することが可能となる。

【0022】

第2実施形態

図2は、本発明に係る電力増幅器の第2の実施形態を示す回路図である。

【0023】

本電力増幅器20は、図2に示すように、FET（電界効果トランジスタ）21と、正のバイアス電圧 V_{gg} が供給されるバイアス電圧供給端子22と、電源電圧 V_{dd} が供給される電源電圧供給端子23と、接地電位（基準電位）GNDと、第1の抵抗素子 R_{21} と、第2の抵抗素子 R_{22} と、第1の抵抗素子 R_{21} および第2の抵抗素子 R_{22} より温度係数が小さい第3の抵抗素子 R_{23} とを有している。

【0024】

第1の抵抗素子 R_{21} の第1端子と第2の抵抗素子 R_{22} の第1端子が接続され、その接続点ND21がFET21のゲート端子Gに接続されている。

第2の抵抗素子 R_{22} の第2端子が第3の抵抗素子 R_{23} の第1端子に接続され、第1の抵抗素子 R_{21} の第2端子がバイアス電圧供給端子22に接続され、第3の抵抗素子 R_{23} の第2端子が接地電位GNDに接続されている。

FET21のドレイン端子Dは電源電圧供給端子23に接続され、ソース端子Sが接地電位GNDに接続されている。

そして、FET21と、第1の抵抗素子 R_{21} と、第2の抵抗素子 R_{22} とは同一半導体基板24に形成された半導体素子により構成されている。

【0025】

この電力増幅器20においては、バイアス電圧供給側の第1の抵抗素子 R_{21} は、接地側の第2の抵抗素子 R_{22} および第3の抵抗素子 R_{23} に比べ、抵抗温度係数が大きいことから、周囲の温度変動に応じてFET21のゲート端子Gに供給される電圧は変動する。

これにより、電力増幅器20に各温度に応じて最適なバイアス電圧が供給される。その結果、基本特性、特に、線形性の劣化を防止することができる。

また、FET21と第1の抵抗素子 R_{21} と第2の抵抗素子 R_{22} とは同一半導体基板に形成されていることから、従来のように、いわゆるチップ抵抗で構成されているバイアス回路に比べて、部品点数を削減することができることから、

小型化を実現することができる利点がある。

【0026】

なお、第3の抵抗素子R23を、第1の抵抗素子R21および第2の抵抗素子R22より温度係数が小さく、かつ、抵抗値を可変とすることが可能な抵抗素子により構成することにより、バイアス電流を任意の設定値に調整することが可能となる。

【0027】

第3実施形態

図3は、本発明に係る電力増幅器の第3の実施形態を示す回路図である。

【0028】

本電力増幅器30は、図3に示すように、FET（電界効果トランジスタ）31と、正のバイアス電圧V_{gg}が供給されるバイアス電圧供給端子32と、電源電圧V_{dd}が供給される電源電圧供給端子33と、接地電位（基準電位）GNDと、第1の抵抗素子R31と、第1の抵抗素子R31より温度係数が小さい第2の抵抗素子R32と、第1の抵抗素子R31より温度係数が小さい第3の抵抗素子R33とを有している。

【0029】

第1の抵抗素子R31の第1端子と第2の抵抗素子R32の第1端子が接続され、第2の抵抗素子R32の第2端子が第3の抵抗素子R33の第1端子に接続され、その接続点ND31がFET31のゲート端子Gに接続されている。

第1の抵抗素子R31の第2端子がバイアス電圧供給端子32に接続され、第3の抵抗素子R33の第2端子が接地電位GNDに接続されている。

FET31のドレイン端子Dは電源電圧供給端子33に接続され、ソース端子Sが接地電位GNDに接続されている。

そして、FET31と第1の抵抗素子R31は同一半導体基板34に形成された半導体素子により構成されている。

【0030】

この電力増幅器30においては、バイアス電圧供給側の第1の抵抗素子R31および第2の抵抗素子R32は、接地側の第3の抵抗素子R33に比べ、抵抗温

度係数が大きいことから、周囲の温度変動に応じて FET 31 のゲート端子 G に供給される電圧は変動する。

これにより、電力増幅器 30 に各温度に応じて最適なバイアス電圧が供給される。その結果、基本特性、特に、線形性の劣化を防止することができる。

また、FET 31 と第 1 の抵抗素子 R 31 とは同一半導体基板に形成されていることから、従来のように、いわゆるチップ抵抗で構成されているバイアス回路に比べて、部品点数を削減することができることから、小型化を実現することができる利点がある。

【0031】

なお、第 2 の抵抗素子 R 32 および第 3 の抵抗素子 R 33 を、第 1 の抵抗素子 R 31 より温度係数が小さく、かつ、抵抗値を可変とすることが可能な抵抗素子により構成することにより、バイアス電流を任意の設定値に調整することが可能となる。

【0032】

第 4 実施形態

図 4 は、本発明に係る電力増幅器の第 4 の実施形態を示す回路図である。

本第 4 の実施形態に係る電力増幅器 40 は、FET を多段に配置した具体的なパワーアンプモジュール（電力増幅器）の構成例である。

【0033】

本電力増幅器 40 は、複数段の FET、本実施形態では 2 段の FET 41、FET 42 を有している。

そして、電力増幅器 40 は、図 4 に示すように、FET 41 のバイアス回路 43、FET 42 のバイアス回路 44、バイアス回路 43 の FET 41 のゲート端子 G との接続点 ND 41 と入力端子 TIN との間に接続された入力整合回路 45、FET 41 のドレイン端子 D とバイアス回路 44 の FET 42 のゲート端子 G との接続点 ND 42 に接続された段間整合回路 46、FET 42 のドレイン端子 D と出力端子 TOUT との間に接続された出力整合回路 47 を有している。

【0034】

バイアス回路 43 は、正のバイアス電圧 V_{gg} が供給されるバイアス電圧供給

端子 48 と接地電位 GND との間に抵抗素子 R41 と抵抗素子 R42 が直列に接続され、抵抗素子 R41 と抵抗素子 R42 の接続点 ND41 が FET41 のゲート端子 G に接続されている。

FET41 のドレイン端子 D は電源電圧 Vdd の供給端子 49 に接続され、ソース端子 S が接地されている。

【0035】

バイアス回路 44 は、正のバイアス電圧 Vgg が供給されるバイアス電圧供給端子 48 と接地電位 GND との間に抵抗素子 R43 と抵抗素子 R44 が直列に接続され、抵抗素子 R43 と抵抗素子 R44 の接続点 ND42 が FET42 のゲート端子 G に接続されている。

FET42 のドレイン端子 D は電源電圧 Vdd の供給端子 49 に接続され、ソース端子 S が接地されている。

【0036】

以上の構成を有する電力増幅器 40 において、抵抗素子 R41 と抵抗素子 R43 は、FET41 および FET42 と同一化合物半導体基板 50 に形成された化合物半導体抵抗素子により構成されている。

この化合物半導体抵抗素子 R41, R43 の抵抗値は共に $2.5\text{ k}\Omega$ である。

また、抵抗素子 R42 と抵抗素子 R44 は、金属皮膜で形成されたいわゆるチップ抵抗である。

このチップ抵抗素子 R42, R44 の抵抗値は共に 500Ω である。

【0037】

化合物半導体抵抗素子 R41, R43 の温度係数は $3500\text{ ppm}/^\circ\text{C}$ 、チップ抵抗素子 R42, R44 の温度係数は $-100\sim 100\text{ ppm}/^\circ\text{C}$ で、チップ抵抗素子 R42, R44 は化合物半導体抵抗素子 R41, R43 に比べ、温度係数は無視できるほど小さい。

【0038】

図 5 は、図 4 の電力増幅器において、バイアス電圧 Vgg を 2.7 V 、温度使用範囲を $-30^\circ\text{C}\sim +85^\circ\text{C}$ にしたとき、抵抗素子 R41 の抵抗値と温度との関係を示す図である。図 5 において、横軸が温度 T を、縦軸が抵抗値 R をそれ

ぞれ表している。

また、図6は、図4の電力増幅器において、抵抗素子R41の抵抗値とFETゲートに供給されるゲートバイアス電圧 V_g との関係を示す図である。図6において、横軸が抵抗値Rを、縦軸がゲートバイアス電圧 V_g をそれぞれ表している。

なお、抵抗素子R43についても、抵抗素子R41と同等の特性を示す。

【0039】

図6より、FETのゲートに供給されるバイアス電圧 V_g は、 25°C のとき0.35V、 -30°C のとき0.42V、 $+85^{\circ}\text{C}$ のとき0.29Vと低温では電圧が増加し、高温では電圧が低下する。

これにより、電力増幅器40の温度補償効果を得ることができる。

【0040】

また、電力増幅器の線形性を示す特性として隣接チャネル漏洩電力（ACPR : Adjacent Channel Power Ratio）特性がある。

【0041】

図7は、周囲温度に対する電力増幅器のACPR特性を示す図である。

図7において、横軸が温度Tを、縦軸がACPRをそれぞれ表している。

図7中、Aで示す曲線が本実施形態における電力増幅器40のACPR特性を示し、Bで示す曲線が従来の電力増幅器のACPR特性を示している。

【0042】

従来の電力増幅器の曲線Bは、 25°C でACPRは -55dBc であるのに対し、 -30°C では -50dBc 、 $+85^{\circ}\text{C}$ では -48dBc と、全温度において5～7dBの劣化が見られる。

【0043】

これに対して、本実施形態における電力増幅器の曲線Aは、 25°C でACPRは -55dBc であるのに対し、 -30°C では -54dBc 、 $+85^{\circ}\text{C}$ では -45dBc と、全温度において変化量が+2dB以内のフラットで良好な特性を示し、バイアス回路の優れた温度補償効果が得られている。

【0044】

【発明の効果】

以上説明したように、本発明によれば、周囲温度変動に対する電力増幅器の線形性の劣化を、最小にすることができる。

また、バイアス回路に使用する抵抗素子の一部を F E T と同じ半導体基板に形成するために、電力増幅器の小型化が可能となる。

また、温度係数の小さい側の抵抗素子に、抵抗値を可変とすることが可能な抵抗素子を用いることにより、F E T のしきい値ばらつきによるバイアス電流の変動に対しても、最適なバイアス電流値に設定することができる。

【図面の簡単な説明】**【図 1】**

本発明に係る電力増幅器の第 1 の実施形態を示す回路図である。

【図 2】

本発明に係る電力増幅器の第 2 の実施形態を示す回路図である。

【図 3】

本発明に係る電力増幅器の第 3 の実施形態を示す回路図である。

【図 4】

本発明に係る電力増幅器の第 4 の実施形態を示す回路図である。

【図 5】

図 4 の電力増幅器において、バイアス電圧 V_{gg} を 2.7 V、温度使用範囲を $-30^{\circ}\text{C} \sim +85^{\circ}\text{C}$ にしたとき、抵抗素子 R 4 1 の抵抗値と温度との関係を示す図である。

【図 6】

図 4 の電力増幅器において、抵抗素子 R 4 1 の抵抗値と F E T ゲートに供給されるゲートバイアス電圧 V_g との関係を示す図である。

【図 7】

周囲温度に対する電力増幅器の A C P R 特性を示す図である。

【図 8】

従来の電力増幅器のバイアス回路を示す回路図である。

【符号の説明】

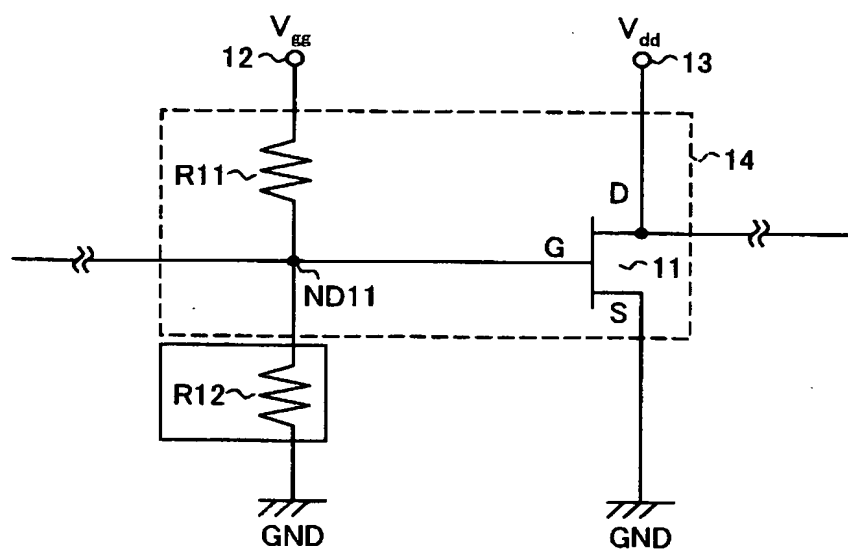
10…電力増幅器、11…FET、12…バイアス電圧供給端子、13…電源電圧供給端子、14…半導体基板、GND…接地電位（基準電位）、R11…第1の抵抗素子、R12…第2の抵抗素子、20…電力増幅器、21…FET、22…バイアス電圧供給端子、23…電源電圧供給端子、24…半導体基板、GND…接地電位（基準電位）、R21…第1の抵抗素子、R22…第2の抵抗素子、R23…第3の抵抗素子、31…FET、32…バイアス電圧供給端子、33…電源電圧供給端子、34…半導体基板、GND…接地電位（基準電位）、R31…第1の抵抗素子、R32…第2の抵抗素子、R33…第3の抵抗素子、40…電力増幅器、41, 42…FET、43, 44…バイアス回路、45…入力整合回路、46…段間整合回路、47…出力整合回路、48…バイアス電圧供給端子、49…電源電圧供給端子、50…化合物半導体基板、R41, R43…化合物半導体抵抗素子、R42, R44…チップ抵抗素子。

【書類名】

図面

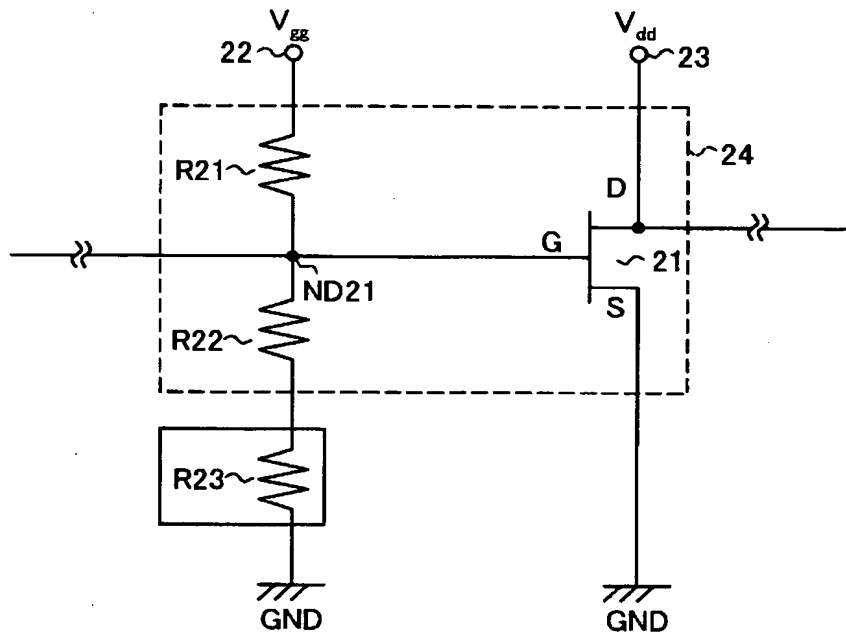
【図 1】

10



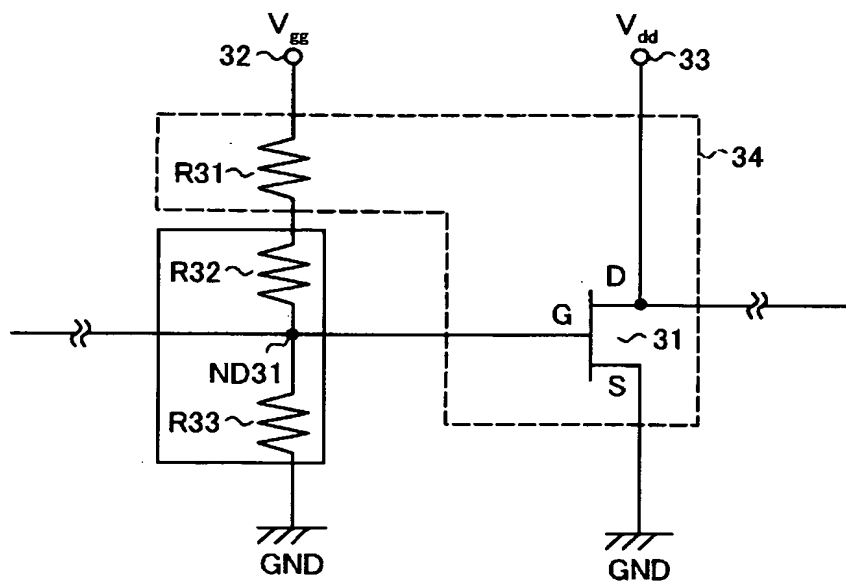
【図 2】

20



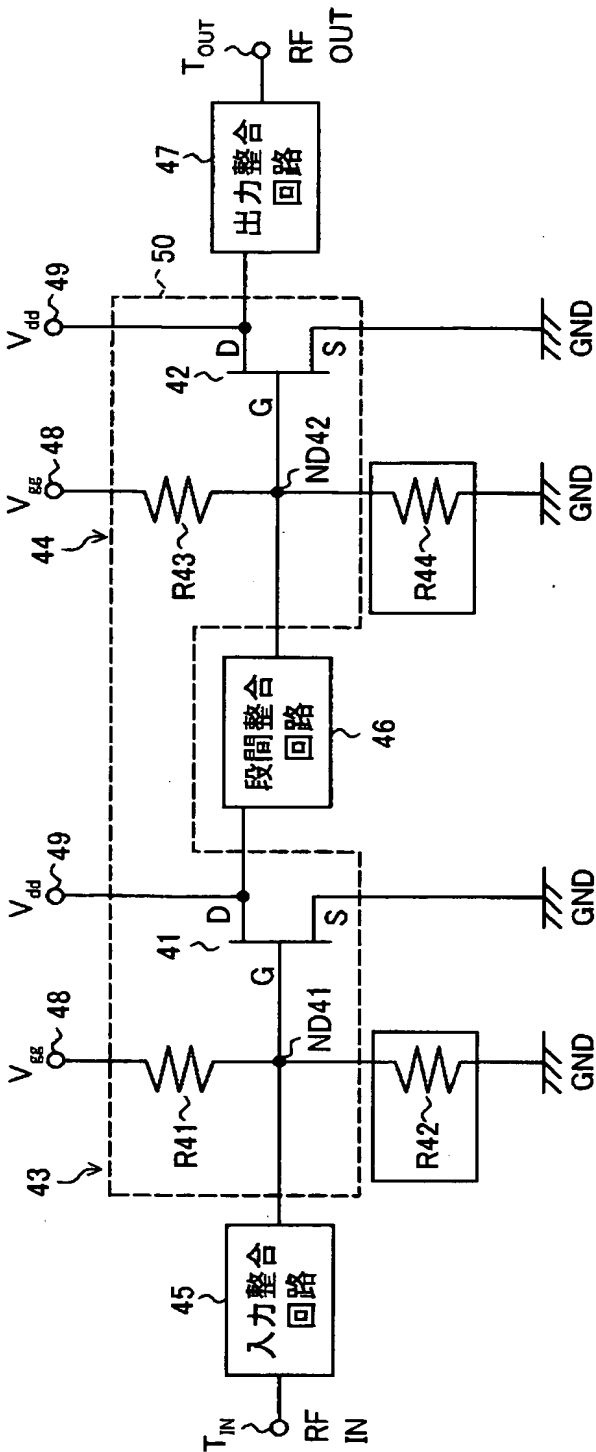
【図 3】

30

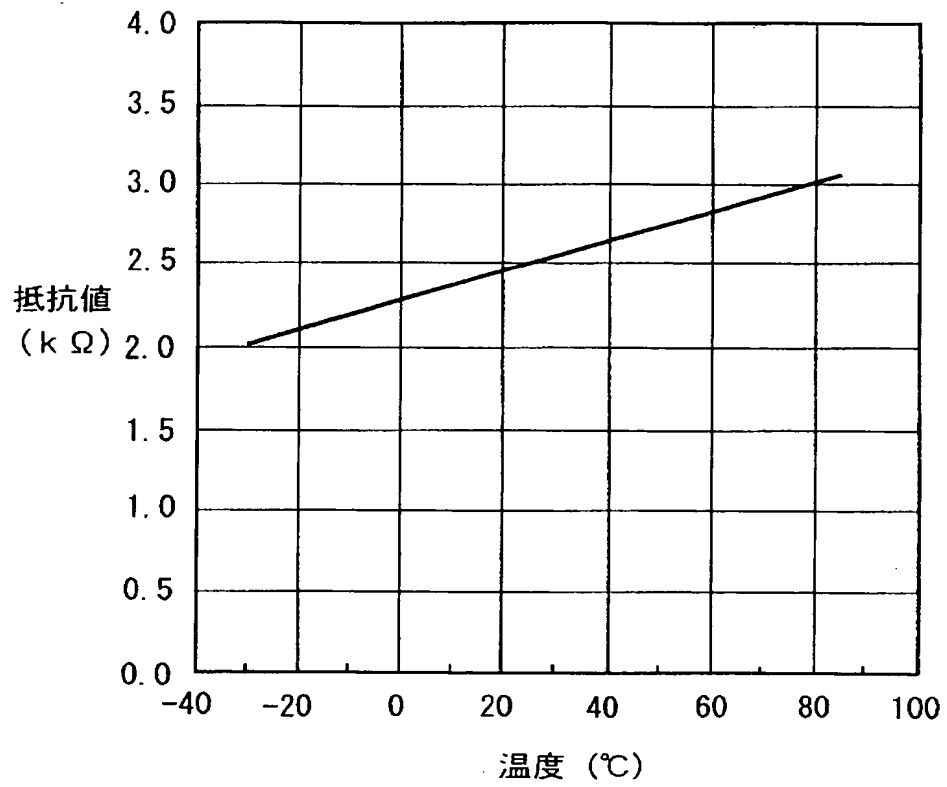


【図 4】

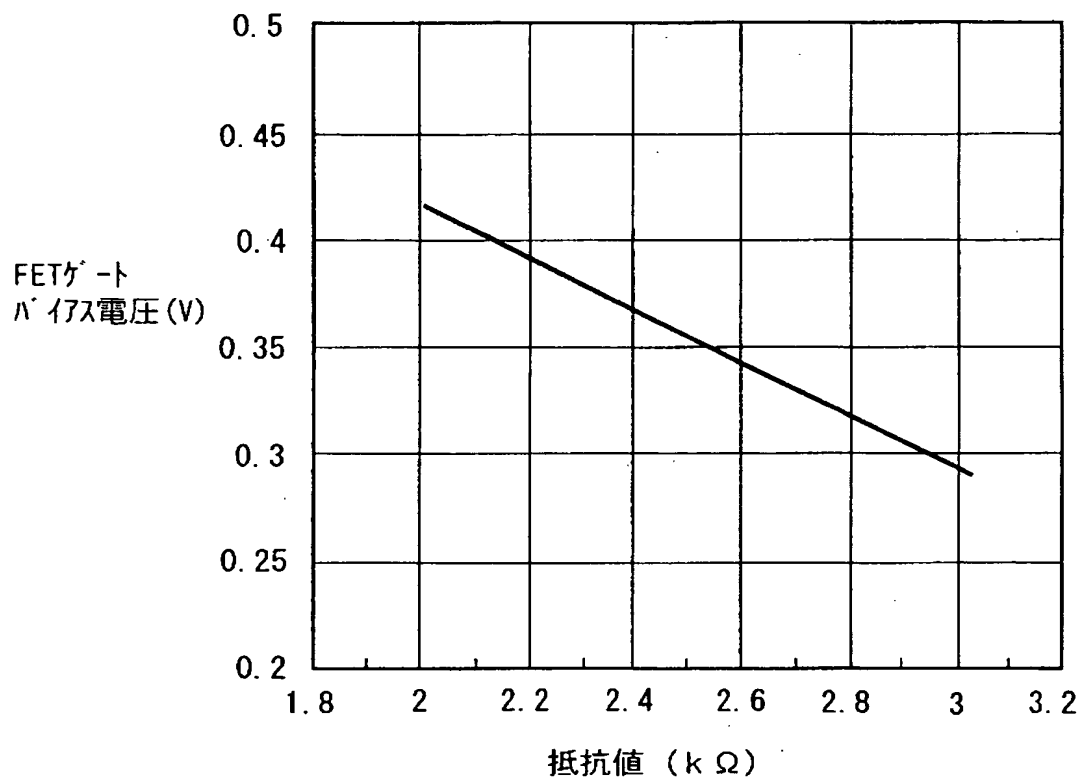
40



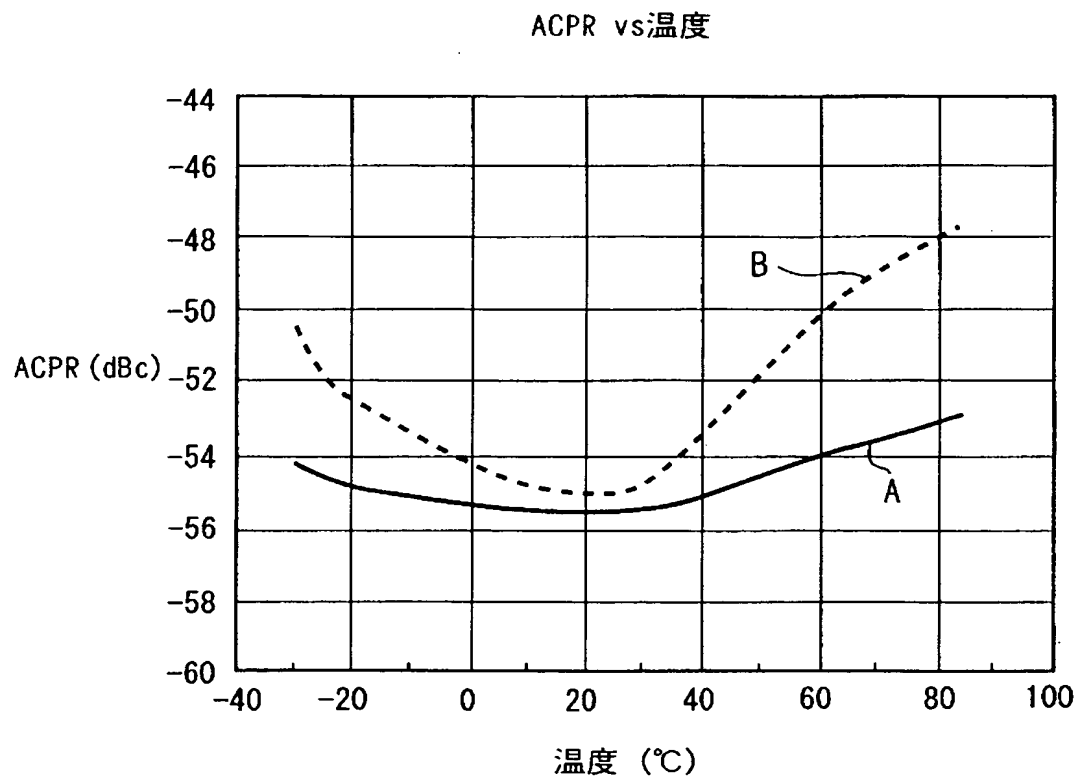
【図 5】



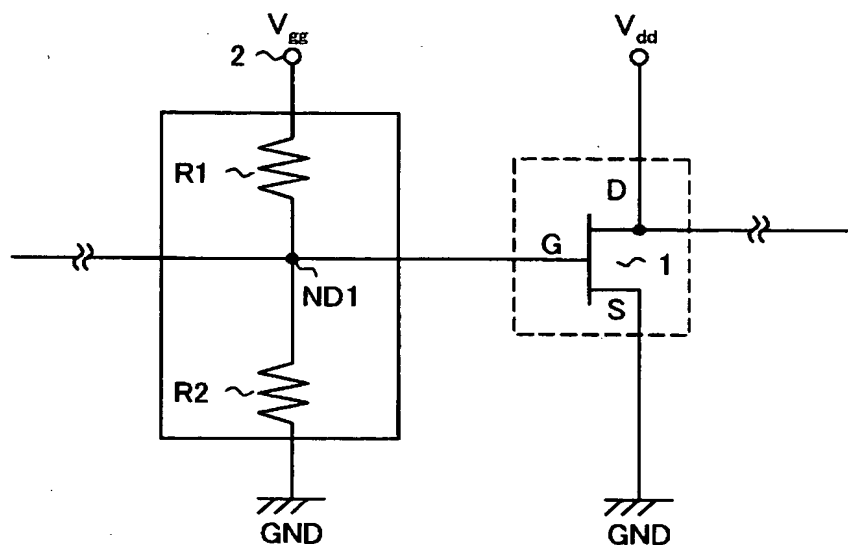
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 周囲温度変動に対する線形性の劣化を最小にすることができる電力増幅器を提供する。

【解決手段】 第1の抵抗素子R11の第1端子と第1の抵抗素子R11より温度係数が小さい第2の抵抗素子R12の第1端子が接続され、その接続点ND11がFET11のゲート端子Gに接続され、第1の抵抗素子R11の第2端子がバイアス電圧供給端子12に接続され、第2の抵抗素子R12の第2端子が接地電位GNDに接続され、FET11のドレイン端子Dは電源電圧供給端子13に接続され、ソース端子Sが接地電位GNDに接続され、FET11と第1の抵抗素子R11とは同一半導体基板14に形成された半導体素子により構成されている。

【選択図】 図1

特願 2 0 0 3 - 0 8 8 5 4 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 3 0 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 品 川 区 北 品 川 6 丁 目 7 番 3 5 号

氏 名

ソ ニ ー 株 式 会 社